



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

J1017 U.S. PRO
10/072818



Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

01830084.8

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE,
LA HAYE, LE
05/10/01

This Page Blank (uspto)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

**Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation**

Anmeldung Nr.: 01830084.8
Application no.: 01830084.8
Demande n°:

Anmeldetag:
Date of filing: 09/02/01
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

A process for changing the syntax, resolution and bitrate of MPEG bitstreams, a system and a computer program product therefor

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat: Tag: Aktenzeichen:
State: Date: File no.
Pays: Date: Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

H04N7/26

Am Anmeldetag benannte Vertragstaaten:
Contracting states designated at date of filing: AT/B/E/C/H/C/Y/D/E/D/K/E/S/F/I/F/R/G/B/G/R/I/E/I/T/L/I/L/U/M/C/N/L/P/T/S/E/T/R
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

**See for original title of the application
page 1 of the description.**

This Page Blank (uspto)

"Procedimento per il cambio di sintassi, di risoluzione e di bitrate di flussi MPEG, relativo sistema e prodotto informatico"

5 Campo dell'invenzione

La presente invenzione si riferisce al trattamento di flussi (bitstream) codificati secondo lo standard MPEG.

Lo standard MPEG (acronimo per Moving Pictures Experts Group) propone un insieme di algoritmi dedicati alla compressione di sequenze di segnali (audio/video) digitali. Il soggetto della specifica non riguarda tanto l'uso di questi tool in fase di codifica, quanto piuttosto il modo di interpretare la sintassi del bitstream codificato e l'uso di detti tool in fase di decodifica (decompressione). Le tecniche usate si basano sulla riduzione della ridondanza spaziale e temporale della sequenza.

Descrizione della tecnica nota

20 In generale, secondo lo standard MPEG, la riduzione della ridondanza spaziale è ottenuta comprimendo in modo indipendente le singole immagini tramite trasformata coseno discreta (DCT), quantizzazione e codifica di Huffman.

25 La riduzione della ridondanza temporale si ottiene sfruttando la correlazione esistente fra immagini successive e/o temporalmente vicine nella sequenza. Approssimativamente, si assume che ogni porzione di una immagine potrebbe essere espressa, localmente, come 30 traslazione di una porzione di una immagine precedente e/o successiva nella sequenza.

A questo scopo, lo standard MPEG rivede tre tipi di immagini, indicate con I (Intra Coded Frame), P (Predicted Frame) e B (Bidirectionally Predicted Frame).

Le immagini I sono codificate in modo del tutto indipendente; le immagini P sono codificate rispetto ad una immagine I o P precedente nella sequenza; infine le immagini B sono codificate rispetto a due immagini, di tipo I o P, l'una precedente e l'altra successiva nella sequenza.

5 Una tipica successione di immagini può essere la seguente: IBBPBBPBBIB ...

Questo è l'ordine in cui le immagini vengono visualizzate, ma poiché ogni immagine P è codificata rispetto alla I o P precedente, e ogni B rispetto alla I o P precedente e successiva, è necessario che il decodificatore riceva le immagini P prima del B e le immagini I prima del P. Per cui, l'ordine di trasmissione delle immagini sarà: IPBBPBBBIBB ...

Le immagini vengono elaborate dal codificatore in modo sequenziale, nell'ordine indicato, e successivamente inviate ad un decodificatore che le decodifica e le riordina, consentendone la successiva visualizzazione. Per codificare una immagine B occorre che il codificatore mantenga in una memoria apposita, detta "memoria di quadro", le immagini I e P - codificate e poi decodificate in precedenza - a cui l'immagine B si riferisce, il che richiede una opportuna quantità di memoria.

25 Tale metodologia trova nello standard MPEG 2 e 4 un valido esempio di attuazione.

Al riguardo, lo schema della figura 1 illustra, sulla forma di uno schema a blocchi, la tipica struttura di un codificatore video MPEG.

30 Il sistema, indicato complessivamente con 10, comprende in primo luogo un modulo 11 destinato a realizzare il filtraggio della componente di crominanza (croma) del segnale video passando dal formato 4:2:2 al formato 4:2:0. In sostanza, il modulo 11 contiene un

filtro passa-basso che opera sulla componente di crominanza sostituendo ogni pixel con una somma pesata di quelli circostanti e posti sulla stessa colonna, moltiplicati per opportuni coefficienti. Ciò consente 5 il successivo sottocampionamento per due, ottenendo così una definizione verticale dimezzata della crominanza.

Il riferimento numerico 12 indica invece un modulo ordinatore di quadri, composto da una o più memorie di 10 quadro. Il modulo 12 è destinato a fornire in uscita i quadri nell'ordine di codifica richiesto dalla sintassi dello standard MPEG.

Ad esempio, se la sequenza di ingresso è IBBPBBP, ecc., l'ordine in uscita sarà IPBBPBB...

15 Come già spiegato, I (Intra Coded Picture) è un quadro e/o un semiquadro contenente ridondanza temporale; P (Predicted Picture) è un quadro e/o un semiquadro la cui ridondanza temporale è rispetto a una precedente immagine I o P (co/decodificata in precedenza) è stata rimossa; con B (Bidirectionally Predicted Picture) si indica un quadro e/o un semiquadro la cui ridondanza temporale rispetto alla precedente immagine I e la successiva immagine P (ovvero precedente P e successiva P, ovvero ancora 20 precedente P e successiva I) è stata rimossa. In 25 entrambi i casi le immagini I e P sono da considerarsi già co/decodificate.

Il riferimento 13 indica invece il modulo stimatore del moto, ossia il blocco in grado di 30 rimuovere la ridondanza temporale dalle immagini P e B.

E' opportuno ricordare che tale blocco lavora solo sulla componente più energetica (e quindi ricca di informazioni) delle immagini che compongono la sequenza da codificare quale quella di luminanza.

35 Uno dei concetti importanti per realizzare la

codifica è la stima del moto e lo standard MPEG è basato sulle seguenti considerazioni.

Un insieme di pixel di un quadro di immagine può essere posto in una posizione dell'immagine successiva 5 ottenuta per traslazione di quella nel quadro precedente.

Si supponga ad esempio che questo insieme di pixel sia un quadrato di 16 pixel per lato. Questo insieme di dati, con le informazioni di colore ad esso associate, 10 viene denominato di solito macroblocco.

Naturalmente, i cambiamenti di posizione degli oggetti possono esporre alla camera di ripresa parti che precedentemente erano non viste così come modifiche nella forma degli stessi oggetti (ad esempio per 15 effetto di una funzione di zoom, ecc.).

La famiglia di algoritmi in grado di individuare ed associare tali porzioni di immagini è detta "stima del moto". Tale associazione consente di poter calcolare la porzione di immagine differenza, 20 rimuovendo così l'informazione temporale ridondante e rendendo più efficace il processo successivo di compressione mediante trasformata DCT, quantizzazione e codifica entropica.

Il riferimento numerico 14 indica invece un 25 modulo o blocco che implementa sul segnale proveniente da un nodo di somma 23 di cui si dirà nel seguito la trasformata coseno discreta (DCT) secondo lo standard MPEG. L'immagine I e le immagini P e B, considerate come immagini errore, sono suddivise in blocchi 8x8 30 Y,U,V sui quali viene applicata la trasformazione DCT.

Il riferimento 15 indica invece un modulo quantizzatore. Qui il blocco 8x8 risultante dalla trasformazione DCT viene diviso per una matrice detta di quantizzazione tale da ridurre più o meno 35 drasticamente la dimensione in numero di bit dei

coefficienti DCT. In tale caso si tende a rimuovere le informazioni associate alle frequenze più alte e meno visibili all'occhio umano. Il risultato viene riordinato ed inviato al blocco successivo, indicato 5 con 16, che realizza le codifiche RL e VLC.

In particolare, la codifica RL (Run-Length) mira a tener conto del fatto che le parole di codice in uscita dal modulo quantizzatore 15 tendono a contenere coefficienti nulli, in numero più o meno alto, seguiti 10 da valori non nulli. I valori nulli e precedenti al primo non nullo vengono contati e tale conteggio costituisce la prima porzione di una parola, la cui seconda porzione è il coefficiente non nullo. Questo metodo di impacchettamento dei dati viene appunto 15 definito codifica Run-Length.

Il risultato così ottenuto viene sottoposto alla codifica VLC (acronimo per Variable Length Coding), nota anche come codifica di Huffman.

Tale codifica tiene conto del fatto che alcune 20 coppie di valori tendono ad assumere valori più probabili di altri. Quelli più probabili vengono codificati con parole molto corte (2/3/4 bit) mentre quelli meno probabili con parole più lunghe. Statisticamente il numero di bit prodotti in uscita è 25 minore rispetto al numero di bit in ingresso, ovvero sia il numero di bit che si avrebbe se non venisse attuata tale codifica.

Per poter costruire la sintassi finale prevista dallo standard MPEG, i dati generati dal codificatore a 30 lunghezza variabile (uscita del modulo 16), le matrici di quantizzazione, i vettori di moto (uscita del modulo 13) ed altri elementi sintattici vengono inviati ad un modulo assemblatore, indicato complessivamente con 17 e comprendente un multiplexer 17a ed un buffer 35 17b.

La dimensione limite del buffer è sancita dallo standard stesso e non può essere superata.

Il blocco di quantizzazione 15 presiede al rispetto di tale limite, rendendo più o meno drastico 5 il processo di divisione dei coefficienti DCT a seconda che si trovi più o meno vicini al riempimento del buffer ed in base all'energia del blocco 8x8 sorgente preso a monte del processo di stima del moto e di trasformazione DCT.

10 I riferimenti 18 e 19 indicano due moduli che realizzano sostanzialmente un anello di retroazione verso la funzione di stima del moto rappresentato dal modulo 13.

15 In particolare, il modulo indicato con 18 attua sui dati sottoposti a quantizzazione nel modulo 15 una funzione di quantizzazione inversa.

I segnali così ottenuti vengono sottoposti a una DCT inversa (IDCT) nel modulo 19. In pratica, la funzione DCT viene invertita ed applicata al blocco 20 8x8 in uscita dal processo di quantizzazione inversa. La funzione svolta nel modulo 19 consente di passare dal dominio delle frequenze spaziali a quello dei pixel ottenendo in uscita:

- il quadro (semiquadro) I decodificato che deve essere immagazzinato in opportuna memoria di quadro per poi rimuovere la ridondanza temporale, rispetto ad essa, dalle successive immagini P e B, e
- il quadro (semiquadro) errore di predizione decodificato P e B che viene sommato all'informazione precedentemente rimossa durante la fase di stima del moto; nel caso P tale somma risultante, immagazzinata in una opportuna memoria di quadro, è utilizzata durante il processo di stima del moto per le

immagini P successive P e B.

Tutto ciò si realizza nel modulo indicato complessivamente con 20, dove le memorie di quadro sono di solito distinte dalle memorie di riordino.

5 Il riferimento 21 indica un modulo di controllo della frequenza (Rate control) che interagisce a tal fine con l'uscita del modulo 14 e l'uscita del buffer 17b fornendo un corrispondente segnale di controllo mQuant verso il modulo 15.

10 Infine, i riferimenti 22 e 23 indicano due nodi di somma in cui vengono sommati, rispettivamente:

- l'uscita del modulo IDCT 19 e l'uscita, indicata con 24, su cui i dati inerenti ai vettori di moto vengono trasferiti dal modulo 15 verso il modulo di stima 13, e
- l'uscita del modulo di riordino 12 e l'uscita del modulo 20: questo in vista dell'alimentazione al modulo 14 che realizza la funzione DCT.

20 Tutto quanto detto in precedenza corrisponde beninteso a conoscenze del tutto correnti per i tecnici esperti del settore, conoscenze qui richiamate essenzialmente a titolo di riferimento.

Lo stesso vale anche per quanto riguarda la struttura di un decodificatore MPEG rappresentato nella figura 2.

In tale figura è possibile osservare che tale demodulatore, indicato complessivamente con 30, provvede in primo luogo (in un modulo 31) alla rivelazione dei cosiddetti header nell'ambito del bitstream codificato MPEG ed al successivo accumulo dei dati ricevuti nell'ambito di un buffer 32 diretto ad assorbire eventuali discontinuità in tale flusso.

Il modulo 33 è preposto a svolgere le funzioni di demultiplazione, decodifica inversa VLC, decodifica

5 inversa delle coppie Run-Level in vista dell'inoltro dei dati così ottenuti verso un modulo 34. Qui, sotto il controllo del segnale mQuant fornito dallo stesso modulo 33 su una linea 35, si realizza la funzione di quantizzazione inversa.

Il segnale così ottenuto viene quindi passato a un modulo 36 che attua la funzione DCT inversa.

10 Tutto questo per procedere, in un nodo di somma 37, alla ricostruzione del segnale di uscita in funzione del segnale generato dal modulo di motocompensazione 38 che riceve dal modulo 33 su una linea 39 i dati inerenti ai vettori di moto. Nel nodo 37 si calcola anche l'errore di predizione per decodificare le successive immagini P e B (linea 40).

15 Si può quindi affermare che quelli illustrati nelle figure 1 e 2 sono due processi concorrenti connessi in cascata.

20 Nella realtà di impiego dello standard MPEG è dunque possibile trasmettere (o registrare) film o, in generale, sequenze video su una varietà di canali e supporti, ognuno con proprie caratteristiche di capacità, velocità e costo.

25 Ad esempio, la distribuzione di un film a partire dalla registrazione master può avvenire su supporto DVD, via satellite, via antenna radio o via cavo.

La banda disponibile per la trasmissione può così risultare diversa da quella prevista in fase di codifica della sequenza video secondo lo standard MPEG.

30 Si pensi, ad esempio, di codificare una sequenza a 6 Mbit/s secondo lo standard MPEG 2.

Qualora si cercasse di utilizzare un canale UMTS a 384 Kbit/s, la trasmissione risulterebbe in generale impossibile.

35 Lo stesso problema si pone anche a livello dei decodificatori che, in generale, non risultano in grado

di decodificare bitstream conformi ad una specifica MPEG differente per tipo, profilo e livello rispetto a quella per la quale gli stessi sono stati predisposti.

In relazione allo standard MPEG 2 e MPEG 4 si profila quindi il problema di far sì che un bitstream codificato secondo uno standard dato possa essere trasformato in un nuovo bitstream codificato secondo un diverso standard e/o per canali a differente bitrate così da potersi riadattare alle caratteristiche del mezzo di trasmissione e/o del sistema di decodifica.

In particolare, si possono avere combinazioni di impiego in cui il codificatore opera secondo lo standard MPEG 2 mentre la funzione di decodifica (o trasmissione) viene realizzata, non solo secondo lo standard MPEG 2, ma anche eventualmente secondo lo standard MPEG 4 e, in modo duale, situazioni in cui la codifica viene realizzata secondo lo standard MPEG 4 mentre invece la decodifica e trasmissione viene realizzata, oltre che con lo standard MPEG 4 anche con lo standard MPEG 2.

Sussiste quindi l'esigenza di poter modificare il bitrate, la risoluzione e la sintassi di un bitstream MPEG generato a seguito della codificata della sorgente con bitrate B1 in modo da dare origine ad uno stream avente sintassi e risoluzione identiche o diverse rispetto a quelle di partenza, tale secondo stream avendo un bitrate B2, dove B2 può essere minore, maggiore o uguale a B1.

Può poi anche insorgere l'esigenza di modificare le dimensioni orizzontale e verticale e/o la risoluzione dell'immagine codificata.

Per poter raggiungere questo obiettivo è stata già proposta nella tecnica la soluzione di procedere decodificando il bitstream MPEG, procedendo quindi al cambio di risoluzione orizzontale e/o sul segnale

decodificato per poi procedere alla successiva ricodifica di quest'ultimo mediante un codificatore MPEG.

Questa soluzione è in realtà molto complessa dal punto di vista computazionale, anche per le numerose diverse combinazioni possibili, veduto il fatto che i bitstream in ingresso ed in uscita possono essere tanto MPEG 2 quanto MPEG 4.

Ad ulteriore chiarimento di questo concetto si può far riferimento allo schema della figura 3 dove è schematicamente illustrata una soluzione per la transcodifica MPEG realizzata secondo la tecnica nota.

Supponendo di operare su un bitstream in ingresso IS codificato secondo lo standard MPEG 2 o 4, il riferimento numerico 50 indica un decoder che realizza una trasformazione del bitstream MPEG (che si tratti della specifica 2 o della specifica 4, il fatto non è di per sé rilevante) in immagini decodificate ID che sono una sequenza di fotogrammi.

Il riferimento numerico 60 indica un modulo suscettibile di attuare un possibile cambio di risoluzione sulla base di una classica tecnica che impiega filtri con risposta all'impulso finita (FIR).

Il filtro FIR in questione opera una trasformazione basata sulla disponibilità di un certo numero N di pixel per ogni componente di luminanza e crominanza dell'immagine. Tali pixel vengono moltiplicati per opportuni pesi ed i risultati vengono accumulati e divisi per la somma di detti pesi. Infine, alcuni di essi non vengono trasmessi nell'immagine risultante in dipendenza dal fattore di mutazione della risoluzione scelta.

Il segnale sottoposto a cambio di risoluzione nel modulo 60 viene poi alimentato ad un codificatore MPEG 70 in grado di generare una sintassi in accordo con lo standard MPEG 2 o 4, in vista della trasmissione

schematicamente rappresentata in T.

A partire da un bitstream codificato con bitrate arbitrario B1 è sempre possibile ottenerne uno di bitrate B2 semplicemente collegando l'uscita del decoder 50 all'ingresso del blocco di cambio di risoluzione 60. L'uscita di quest'ultimo è poi collegata all'ingresso dell'encoder 70, programmato per codificare a B2 Mbit/s.

Il blocco indicato con 80 è semplicemente uno switch destinato ad esemplificare il fatto che l'operazione di cambio di risoluzione è di per sé opzionale, per cui - qualora non si debba procedere al cambio di risoluzione - la sequenza di fotogrammi ID può essere direttamente alimentata al codificatore 70 senza essere sottoposta a cambio di risoluzione.

Infine, a valle della trasmissione (si ricorda che, per quanto qui interessa, in tale dizione viene ricompresa anche la registrazione su un supporto fisico quale un DVD) il segnale (ri)codificato MPEG viene alimentato ad un decodificatore 90 in grado di leggere e decodificare il bitstream ricevuto secondo una sintassi in accordo con lo standard MPEG (2 o 4) in vista della generazione di una sequenza video in uscita OS.

Se si tengono presenti gli schemi a blocchi delle figure 1 e 2 è immediato rendersi conto del fatto che la sequenza di processi illustrati nella figura 3 presenta una complessità computazionale decisamente elevata.

L'operazione di transcodifica rappresentata nello schema della figura 3 richiede infatti, per quanto riguarda il decodificatore 50, l'esecuzione dei seguenti passi:

- codifica di Huffman inversa,
- codifica Run-Length inversa,

- quantizzazione inversa,
 - trasformata coseno discreta inversa,
 - motocompensazione, e
 - filtraggio, e
- 5 - cambio di risoluzione (quando previsto).

Per il codificatore 70 si rendono necessarie le operazioni di:

- pre-processamento,
- stima del moto,
- 10 - calcolo dell'errore di predizione,
- trasformata coseno,
- quantizzazione,
- codifica Run-Length,
- codifica di Huffman
- 15 - quantizzazione inversa,
- trasformata coseno discreta inversa, e
- motocompensazione.

Infine, per il decodificatore in ricezione è necessario svolgere le operazioni di:

- 20 - codifica di Huffman inversa,
- codifica Run-Length inversa,
- quantizzazione inversa,
- trasformata coseno discreta inversa, e
- motocompensazione.

25 La quasi totalità del costo computazionale risiede nella stima del moto, seguita dalle trasformate coseno diretta ed inversa e dalla motocompensazione. La quantizzazione e le codifiche Run-Length e Huffman (dirette ed inverse) costituiscono invece un contributo
30 inferiore a quello precedente e del costo complessivo.

La qualità del bitstream risultante in uscita OS deriva invece dal contenuto informativo dei coefficienti quantizzati. Esso dipende dall'implementazione dell'encoder (il decoder è
35 univocamente definito dalle direttive ISO/IEC 13818-2

per lo standard MPEG 2 e dalle direttive ISO/IEC 14496-2 per lo standard MPEG 4), dalla efficacia del suo stimatore del moto e dalla qualità e precisione del controllo di rate.

5 Scopi e sintesi della presente invenzione

La presente invenzione si prefigge pertanto lo scopo di fornire una soluzione di transcodifica fra bitstream MPEG, in particolare di tipo diverso (MPEG2/MPEG4), suscettibile di consentire il cambio di 10 sintassi, di risoluzione e di bitrate evitando il ricorso alla soluzione estremamente onerosa illustrata in precedenza.

Secondo la presente invenzione, tale scopo viene raggiunto grazie ad un procedimento avente le 15 caratteristiche richiamate in modo specifico nelle rivendicazioni che seguono.

L'invenzione riguarda anche il relativo sistema (suscettibile di essere implementato, ad esempio, sotto forma di un processore dedicato, quale un DSP) nonché 20 il relativo prodotto informatico, ossia quell'insieme di codici di programma caricabile nella memoria di un elaboratore digitale, in particolare del tipo general purpose, suscettibile di consentire all'elaboratore in questione di attuare il procedimento secondo 25 l'invenzione.

In sostanza, la soluzione secondo l'invenzione prevede la fusione di un decoder con un encoder in un insieme progettato specificatamente per la variazione ovvero la conservazione di un bitrate di un bitstream.

30 La soluzione secondo l'invenzione permette di ridurre la complessità computazionale e di migliorare o conservare la qualità del segnale di uscita rispetto a quello di ingresso.

Nella soluzione secondo l'invenzione, le porzioni 35 di bitstream che non influiscono sulla riduzione del

bitrate in modo significativo non vengono processate, ma semplicemente tradotte secondo la sintassi e la risoluzione dello standard di arrivo. I vettori di moto vengono opportunamente filtrati mediante una 5 trasformazione basata sulla disponibilità di un certo numero M di vettori di moto associati ai macroblocchi che devono essere fusi nel nuovo macroblocco ovvero circondano quelli che devono essere fusi nel nuovo macroblocco. I vettori di moto vengono moltiplicati per 10 opportuni pesi ed i risultati vengono accumulati e divisi per la somma dei pesi. Infatti, il campo di moto deve essere opportunamente scalato per essere associato ai macroblocchi di pixel che caratterizzano la risoluzione di arrivo o target.

15 Le porzioni del bitstream che influiscono significativamente sulla riduzione del bitrate sono essenzialmente i coefficienti DCT. In particolare, se non è necessario alcun cambiamento di risoluzione, non viene effettuato alcun ulteriore filtraggio dei 20 coefficienti DCT relativi ai blocchi contenuti nei macroblocchi del bitstream in ingresso. Al contrario, se è necessario effettuare un cambio di risoluzione, viene realizzato un filtraggio nel dominio della trasformata coseno discreta (DCT).

25 Breve descrizione dei disegni annessi

L'invenzione verrà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

- le figure 1 a 3, relative alla tecnica nota sono 30 già state estesamente descritte in precedenza,
- la figura 4 illustra, sotto forma di uno schema a blocchi, la realizzazione della soluzione secondo l'invenzione, e
- la figura 5 (suddivisa in tre parti 35 rispettivamente indicate con a, b e c), nonché la

figura 6 illustrano in maggior dettaglio l'attuazione della soluzione secondo l'invenzione.

In sostanza, lo scopo perseguito dalla soluzione illustrata nella figura 4 è quello di partire da un
5 bitstream in ingresso IS (sia esso MPEG 2 o MPEG 4) e di generare, a partire dallo stesso, un bitstream in uscita OS (di nuovo MPEG 2 o MPEG 4, a seconda delle esigenze) con la possibilità di effettuare un cambio i) di sintassi, ii) di risoluzione, e iii) di bitrate.

10 Si apprezzerà peraltro che non è affatto imperativo realizzare simultaneamente tutti e tre i suddetti cambiamenti. Quindi, anche se con riferimento alla figura 4 verrà ora descritta una soluzione in grado di attuare tutti e tre i cambiamenti in
15 questione, è evidente che la soluzione secondo l'invenzione si presta ad essere realizzata anche in versioni in cui vengono effettuati solo uno o solo due dei cambiamenti in questione.

Il bitstream in ingresso IS viene alimentato da un
20 modulo di cernita 100 che attua una funzione di parsing degli header. Questa funzione mira essenzialmente a distinguere le porzioni del bitstream che non influiscono in modo significativo sulla riduzione del bitrate da quelle che invece influiscono
25 significativamente su tale riduzione (essenzialmente i coefficienti DCT).

Le prime porzioni di bitstream (quelle ininfluenti per le riduzioni del bitrate) vengono inviate attraverso una linea 102 ad un modulo 104 che realizza
30 la funzione di cambiamento della risoluzione e di sintassi.

Ciò avviene accedendo ai campi della sintassi che immagazzinano i suddetti valori e cambiandone la relativa codifica binaria nei valori corrispondenti
35 alla risoluzione e bitrate target.

Le seconde porzioni del bitstream suscettibili di influire significativamente sulla riduzione del bitrate vengono invece inviate su una linea 106 verso un blocco 108 che realizza essenzialmente la trasformata VLC inversa.

In particolare, i vettori di moto che derivano da tale operazione vengono rinviati, su una linea 110, verso un blocco 112 che sovrintende alla funzione di risagomatura (reshape) dei vettori di moto: si tratta in sostanza di una trasformazione basata sulla disponibilità di un certo numero M di vettori di moto associati ai macroblocchi che devono essere fusi nel nuovo macroblocco ovvero circondano quelli che devono essere fusi nel nuovo macroblocco. Il campo di moto deve essere infatti opportunamente scalato per consentire l'associazione ai macroblocchi di pixel che caratterizzano la risoluzione target.

A valle del modulo 108 viene anche svolta, in un modulo 114, la funzione di quantizzazione inversa sottponendo quindi il risultato che ne derivano a funzioni di filtraggio orizzontale 116 e verticale 118 (naturalmente l'ordine potrebbe essere invertito) attuate - secondo le modalità meglio descritte nel seguito con riferimento alla figure 5 e 6 - in funzione di matrici di filtraggio schematicamente rappresentate in 120 e suscettibili di essere definite dall'utilizzatore.

I riferimenti numerici 122 e 124 indicano uno o più buffer locali destinati a operare in ausilio alle operazioni di filtraggio attuate nei moduli 116 e 118.

Il riferimento 126 indica invece un ulteriore linea su cui i risultati derivanti dalla operazione di codifica VLC inversa vengono inviati ad un modulo 128 che essenzialmente sovrintende ad una ridefinizione dei parametri di macroblocco secondo le modalità meglio

descritte nel seguito.

Tutto questo per pervenire, nel modulo complessivamente indicato con 130, ad una azione di risagomatura dei macroblocchi che, previa nuova 5 codifica VLC, attuata nel modulo indicato con 132, vengono rinviati verso un nodo d'uscita 134 in cui le porzioni di bitstream originariamente smistate sulla linea 102 e sulla linea 106 vengono nuovamente ricombinante fra loro così da generare il bitstream di 10 uscita OS.

Si osserverà che l'operazione di decodifica inversa VLC attuata nel modulo 108 e l'operazione di (nuova) codifica VLC attuata nel modulo 132 sono di fatto collegate fra loro per tener conto degli standard 15 MPEG 2 o MPEG 4 coinvolti (rispettivamente in ingresso ed in uscita). I suddetti moduli ricevono in ingresso anche le matrici di pesatura definite eventualmente dall'utente ed introdotte nel sistema su una linea 136 ed utilizzate da un modulo 138, in particolare in modo 20 da far sì che, quando la risoluzione deve essere lasciata inalterata, le seconde porzioni del bitstream in ingresso IS, ossia quelle che per sé influiscono sulla riduzione del bitrate possano essere trasferite 25 verso il bitstream d'uscita OS in sostanziale assenza di operazioni di trattamento, ossia senza ulteriore filtraggio dei coefficienti DCT relativi ai blocchi contenuti nei macroblocchi del bitstream in ingresso IS.

Se invece si deve realizzare il cambio di 30 risoluzione, risulta necessario procedere ad un filtraggio nel dominio della DCT. Ciò avviene secondo le modalità meglio illustrate nelle figure 5 e 6.

Si ricorda naturalmente che, così come già detto in precedenza, la rappresentazione a blocchi funzionali 35 fornita nella figura 5 corrisponde ad operazioni di

elaborazione suscettibili di essere attuate tanto tramite processori dedicati quanto tramite elaboratori general purpose adeguatamente programmati (in un modo di per sé noto, una volta note le specifiche funzionali 5 che si intendono perseguire).

La parte a) della figura 5 fa vedere, ad esempio, come da quattro macroblocchi di luminanza (ciascuno di 16x16 pixel) indicati con Y₁ a Y₄ se ne estragga uno solo, indicato con Y, nel caso di fattore di 10 sottocampionamento uguale a 2.

Le parti della figura 5 indicate con b) e c) fanno invece vedere che per la componente di crominanza rispettivamente U e V 4:2:0 è necessario disporre di quattro blocchi 8x8 indicati con U₁ a U₄ e V₁ a V₄ per 15 fonderli in uno solo, indicato con U o con V, per mezzo del filtraggio.

Il filtraggio è quindi basato sui passi illustrati nella figura 6.

In particolare, indicando con MB₁ a MB₄ un certo 20 numero di macroblocchi (siano essi da 16x16 ovvero 8x8 pixel) posti su una stessa linea orizzontale di un buffer locale (si consideri per immediato riferimento il modulo 122 della figura 4) questi vengono resi disponibili in numero di almeno tre al filtro 25 orizzontale (modulo 116 della figura 4). Questo implementa la moltiplicazione dei suddetti macroblocchi per un opportuno numero di matrici aventi la dimensione H x V ottenendone quindi, dopo fusione o *merge* (modulo 116a) una nuova serie a definizione orizzontale 30 dimezzata.

I blocchi così generati vengono memorizzati e posti sulla stessa linea verticale di un secondo buffer locale (modulo 124 della figura 4) in modo da renderne disponibili almeno tre al filtro verticale (modulo 118 35 della figura 4). Questo moltiplica i macroblocchi per

un opportuno numero di matrici aventi la dimensione H x V ottenendone una nuova serie a definizione verticale dimezzata.

In questo modo il macroblocco equivalente
5 mostrato nella parte di destra della figura 5) può essere inviato al modulo 130 insieme ai dati provenienti dal modulo 112 ed ai dati del modulo 128 che ridefinisce i parametri di macroblocco.

Lo stesso modulo 128 ridefinisce inoltre il valore
10 del codice di scala del quantizzatore (*quantizer_scale_code*): optionalmente può essere riusato quello presente nel bitstream in ingresso IS.

Nel modulo 130 viene così generato il nuovo
15 macroblocco destinato ad essere inviato al modulo di codifica VLC indicato con 132.

Si apprezzerà che il principale vantaggio della soluzione secondo l'invenzione deriva, in termini di guadagno computazionale, dall'eliminazione dei blocchi di motocompensazione, stima del moto, trasformata
20 coseno inversa e diretta.

Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le forme di attuazione potranno essere ampiamente variati rispetto a quanto descritto ed illustrato senza per
25 questo uscire dall'ambito della presente invenzione,
così come definita dalle rivendicazioni annesse.

RIVENDICAZIONI

1. - Procedimento per generare, a partire da un bitstream MPEG in ingresso (IS), un bitstream MPEG in uscita (OS), detto bitstream in uscita (OS) avendo
5 almeno una entità scelta fra sintassi, risoluzione e bitrate modificata rispetto a detto bitstream in ingresso (IS), caratterizzato dal fatto che comprende:
- l'operazione di distinguere (100), in detto bitstream in ingresso (IS), prime e seconde porzioni rispettivamente sostanzialmente ininfluenti ed influenti sulla variazione del bitrate,
 - quando almeno una fra detta sintassi e detta risoluzione deve essere modificata fra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), l'operazione di sottoporre (104) dette prime porzioni del bitstream in ingresso (IS) alla traduzione di detta almeno una fra la sintassi e la risoluzione nella sintassi e/o nella risoluzione di detto bitstream in uscita (OS), trasferendo (134) dette prime porzioni sottoposte a traduzione di sintassi e/o risoluzione a detto bitstream in uscita (OS),
20
 - quando detta risoluzione viene lasciata inalterata tra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), l'operazione di trasferire (138) dette seconde porzioni da detto bitstream in ingresso (IS) a detto bitstream in uscita (OS) in sostanziale assenza di operazioni di trattamento, e
30
 - quando detta risoluzione viene modificata fra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), l'operazione di
35

5 sottoporre (108 a 130) dette seconde porzioni del bitstream in ingresso (IS) ad un filtraggio nel dominio della trasformata coseno discreta (DCT), trasferendo (134) quindi dette seconde porzioni sottoposte a filtraggio nel dominio della trasformata coseno discreta a detto bitstream in uscita (OS).

10 2. - Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che dette prime e dette seconde porzioni del bitstream in ingresso (IS) vengono distinte tramite una funzione di parsing degli header (100) del bitstream in ingresso (IS).

15 3. - Procedimento secondo la rivendicazione 1 o la rivendicazione 2, caratterizzato dal fatto che, quando detta risoluzione viene modificata fra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), comprende l'operazione di realizzare uno scalamento del campo di moto per consentire l'associazione (130) a 20 macroblocchi di pixel con risoluzione corrispondente alla risoluzione modificata di detto bitstream in uscita (OS).

25 4. - Procedimento secondo la rivendicazione 3, caratterizzato dal fatto che detto scalamento del campo di moto comprende l'operazione di applicare (112) ai vettori di moto associati a detto bitstream in ingresso (IS) una trasformazione che li correla ad un numero dato (M) di vettori di moto associati ad almeno uno dei macroblocchi scelti nell'insieme costituito da:

- 30 - i macroblocchi che devono essere fusi nel nuovo macroblocco, e
- i macroblocchi che circondano quelli che devono essere fusi nel nuovo macroblocco.

35 5. - Procedimento secondo la rivendicazione 4, caratterizzato dal fatto che detta trasformazione

applicata ai vettori di moto associati a detto bitstream in ingresso (IS) comprende le operazioni di:

- moltiplicare detti vettori di moto per rispettivi fattori di ponderazione,
- 5 - accumulare i risultati della moltiplicazione, e
- dividere i risultati accumulati per la somma di detti fattori di ponderazione.

6.- Procedimento secondo una qualsiasi delle 10 precedenti rivendicazioni, caratterizzato dal fatto che detta operazione di filtraggio nel dominio della trasformata coseno discreta (DCT) comprende le operazioni di:

- 15 - memorizzare (122,124) un numero dato di macroblocchi allineati su una stessa linea, e
- moltiplicare (116, 118) detti macroblocchi per almeno una matrice (HxV) con un fattore di definizione scalato.

7. - Procedimento secondo la rivendicazione 6, 20 caratterizzato dal fatto che detto numero dato di macroblocchi allineati sono allineati su una stessa linea orizzontale (MB1 a MB4) e dal fatto che detto fattore di definizione è scalato in direzione orizzontale.

25 8. - Procedimento secondo la rivendicazione 6 o la rivendicazione 7, caratterizzato dal fatto che detto numero dato di macroblocchi allineati sono allineati su una stessa linea verticale e dal fatto che detto fattore di definizione è scalato in direzione 30 verticale.

9. - Procedimento secondo le rivendicazioni 6 a 8, caratterizzato dal fatto che comprende l'operazione di memorizzare (122, 124) tanto un numero dato di macroblocchi allineati su una linea orizzontale quanto 35 un numero dato di macroblocchi allineati su una linea

verticale, per cui detto fattore di risoluzione risulta scalato tanto in direzione orizzontale quanto in direzione verticale.

10. - Procedimento secondo una qualsiasi delle 5 rivendicazioni 6 a 9, caratterizzato dal fatto che detto numero dato di macroblocchi comprende almeno tre macroblocchi.

11. - Procedimento secondo la rivendicazione 3, caratterizzato dal fatto che detti macroblocchi con 10 risoluzione modificata sono sottoposti a codifica VLC (132) prima del trasferimento a detto bitstream in uscita (OS).

12. - Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che 15 comprende l'operazione di variare selettivamente (128) il codice di scalamento di quantizzazione (*quantizer_scale_code*) tra detto bitstream in ingresso (IS) e detto bitstream in uscita.

13. - Sistema per generare, a partire da un 20 bitstream MPEG in ingresso (IS), un bitstream MPEG in uscita (OS), detto bitstream in uscita (OS) avendo almeno una entità scelta fra sintassi, risoluzione e bitrate modificata rispetto a detto bitstream in ingresso (IS), caratterizzato dal fatto che comprende:

25 - un modulo di cernita (100) per distinguere, in detto bitstream in ingresso (IS), prime e seconde porzioni rispettivamente sostanzialmente ininfluenti ed influenti sulla variazione del bitrate,

30 - quando almeno una fra detta sintassi e detta risoluzione deve essere modificata fra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), un rispettivo modulo di traduzione di sintassi e/o risoluzione (104) per sottoporre dette prime porzioni del

bitstream in ingresso (IS) alla traduzione di detta almeno una fra la sintassi e la risoluzione nella sintassi e/o nella risoluzione dei detto bitstream in uscita (OS), detto rispettivo modulo di traduzione (104) essendo suscettibile (134) di trasferire dette prime porzioni sottoposte a traduzione di sintassi e/o risoluzione a detto bitstream in uscita (OS),

5 - quando detta risoluzione viene lasciata inalterata tra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), una linea di trasferimento (138) per trasferire dette seconde porzioni da detto bitstream in ingresso (IS) a detto bitstream in uscita (OS) in sostanziale assenza di operazioni di trattamento, e

10 - quando detta risoluzione viene modificata fra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS), un insieme elaborativo (108 a 130) per sottoporre dette seconde porzioni del bitstream in ingresso (IS) ad un filtraggio nel dominio della trasformata coseno discreta (DCT), detto insieme elaborativo (108 a 130) essendo suscettibile (134) di trasferire dette seconde porzioni sottoposte a filtraggio nel dominio della trasformata coseno discreta (DCT) a detto bitstream in uscita (OS).

15 20 25 30 35 14. - Sistema secondo la rivendicazione 13, caratterizzato dal fatto che detto modulo di cernita (100) distingue dette prime e dette seconde porzioni del bitstream in ingresso (IS) tramite una funzione di parsing degli header (100) di detto bitstream in ingresso (IS).

15. - Sistema secondo la rivendicazione 13 o la rivendicazione 14, caratterizzato dal fatto che, quando detta risoluzione viene modificata fra detto bitstream in ingresso (IS) e detto bitstream in uscita (OS),
5 detto insieme elaborativo (108 a 130) comprende almeno un elemento (112) per realizzare uno scalamento del campo di moto per consentire l'associazione (130) a macroblocchi di pixel con risoluzione corrispondente alla risoluzione modificata di detto bitstream in
10 uscita (OS)

16. - Sistema secondo la rivendicazione 15, caratterizzato dal fatto che detto almeno un elemento (112) applica ai i vettori di moto associati a detto bitstream di ingresso (IS) una trasformazione che li
15 correla ad un numero dato (M) ai vettori di moto associati ad almeno uno dei macroblocchi scelti nell'insieme costituito da:

- i macroblocchi che devono essere fusi nel nuovo macroblocco, e
- 20 - i macroblocchi che circondano quelli che devono essere fusi nel nuovo macroblocco.

17. - Sistema secondo la rivendicazione 16, caratterizzato dal fatto che detto almeno un elemento (112) è configurato per:

- 25 - moltiplicare detti vettori di moto per rispettivi fattori di ponderazione,
- accumulando i risultati della moltiplicazione, e
- dividendo i risultati accumulati per la somma di detti fattori di ponderazione.

18.- Sistema secondo una qualsiasi delle rivendicazioni 13 a 17, caratterizzato dal fatto che detto insieme elaborativo (108 a 130) realizza detto filtraggio nel dominio della trasformata coseno
35 discreta (DCT) :

- memorizzando (122, 124) un numero dato di macroblocchi allineati su una stessa linea, e
- moltiplicando (116, 118) detti macroblocchi per almeno una matrice (HxV) con un fattore
5 di definizione scalato.

19. - Sistema secondo la rivendicazione 18, caratterizzato dal fatto che detto numero dato di macroblocchi allineati (MB1 a MB4) sono allineati su una stessa linea orizzontale e dal fatto che detto
10 fattore di definizione è scalato in direzione orizzontale.

20. - Sistema secondo la rivendicazione 18 o la rivendicazione 19, caratterizzato dal fatto che detto numero dato di macroblocchi allineati sono allineati su
15 una stessa linea verticale e dal fatto che detto fattore di definizione è scalato in direzione verticale.

21. - Sistema secondo una qualsiasi delle rivendicazioni 18 a 20, caratterizzato dal fatto che
20 detto insieme elaborativo (108 a 130) porta associati elementi di memoria (122, 124) per memorizzare tanto un numero dato di macroblocchi allineati su una linea orizzontale quanto un numero di macroblocchi allineati su una linea verticale, per cui detto fattore di
25 risoluzione risulta scalato tanto in direzione orizzontale quanto in direzione verticale.

22. - Sistema secondo una qualsiasi delle rivendicazioni 18 a 21, caratterizzato dal fatto che detto numero dato di macroblocchi comprende almeno tre
30 macroblocchi.

23. - Sistema secondo la rivendicazione 15, caratterizzato dal fatto che comprende un modulo di codifica VLC (132) per sottoporre detti macroblocchi con risoluzione modificata a codifica VLC (132) prima
35 della trasferimento a detto bitstream in uscita (OS).

24. - Sistema secondo una qualsiasi delle rivendicazioni da 13 a 23, caratterizzato dal fatto che comprende un modulo variatore (128) per variare selettivamente (128) il codice di scalamento di quantizzazione (*quantizer_scale_code*) tra detto bitstream in ingresso (IS) e detto bitstream in uscita.

5 25. - Prodotto informatico direttamente caricabile nella memoria di un elaboratore digitale e comprendente porzioni di codice di programma per realizzare le 10 operazioni secondo una qualsiasi delle rivendicazioni 1 a 12 quando tale prodotto viene fatto girare su un elaboratore.

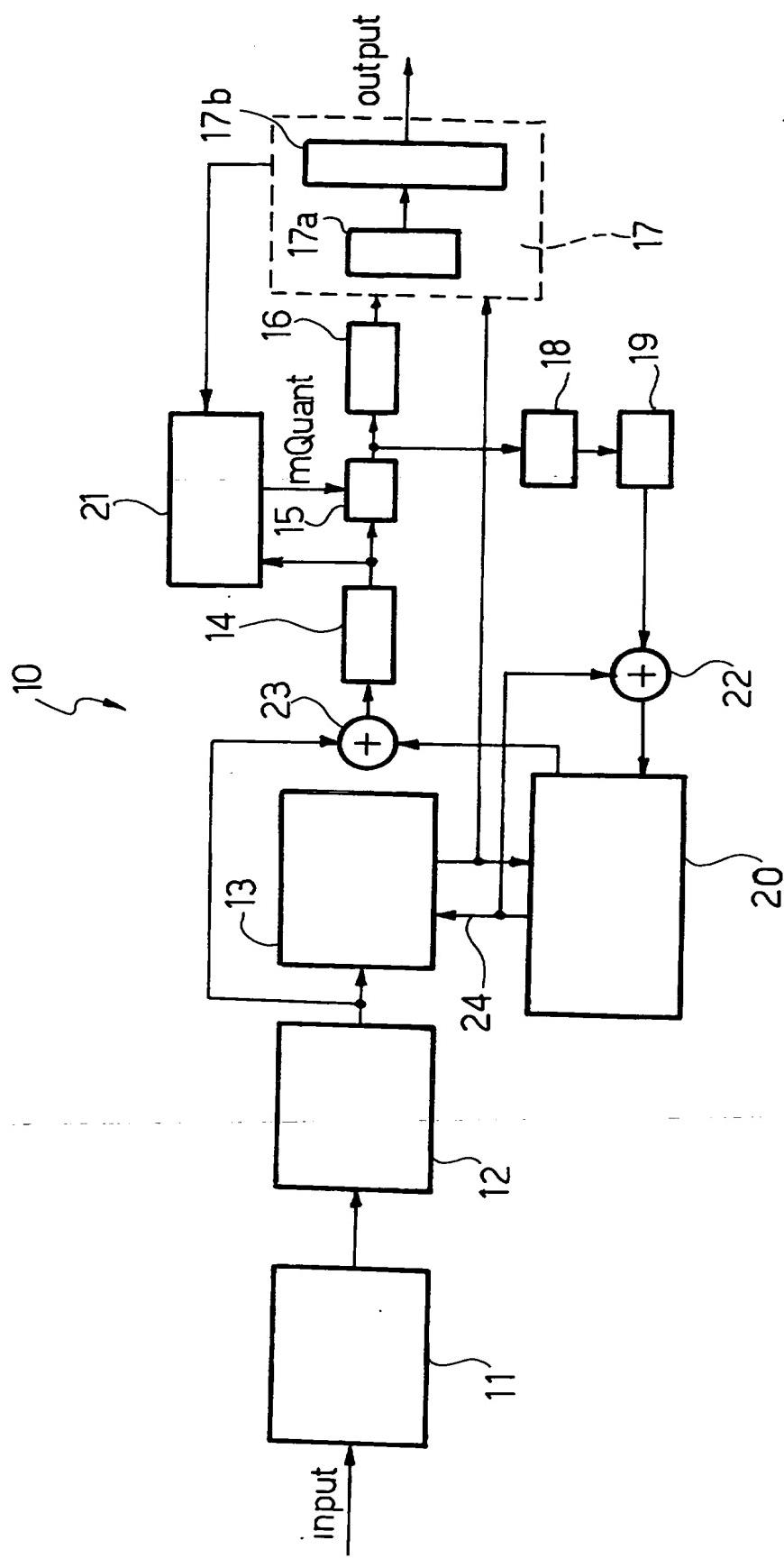
RIASSUNTO

Per generare, a partire da un bitstream MPEG in ingresso (IS), un bitstream MPEG in uscita (OS) avente almeno una entità scelta fra sintassi, risoluzione e 5 bitrate modificata rispetto al bitstream in ingresso (IS), si distinguono nel bitstream in ingresso (IS) prime e seconde porzioni rispettivamente sostanzialmente ininfluenti ed influenti sulla variazione del bitrate. Quando almeno una fra la 10 sintassi e la risoluzione devono essere modificate, si sottopongono (104) le prime porzioni del bitstream in ingresso (IS) alla traduzione richiesta, trasferendo (134) quindi tali prime porzioni sottoposte a traduzione della sintassi e/o della risoluzione al 15 bitstream in uscita (OS). Quando la risoluzione viene lasciata inalterata, le seconde porzioni vengono trasferite (138) dal bitstream in ingresso (IS) al bitstream in uscita (OS) in sostanziale assenza di operazioni di trattamento. Quando la risoluzione viene 20 cambiata, si sottopongono (108 a 130) le seconde porzioni del bitstream in ingresso (IS) ad un filtraggio nel dominio della trasformata coseno discreta (DCT).

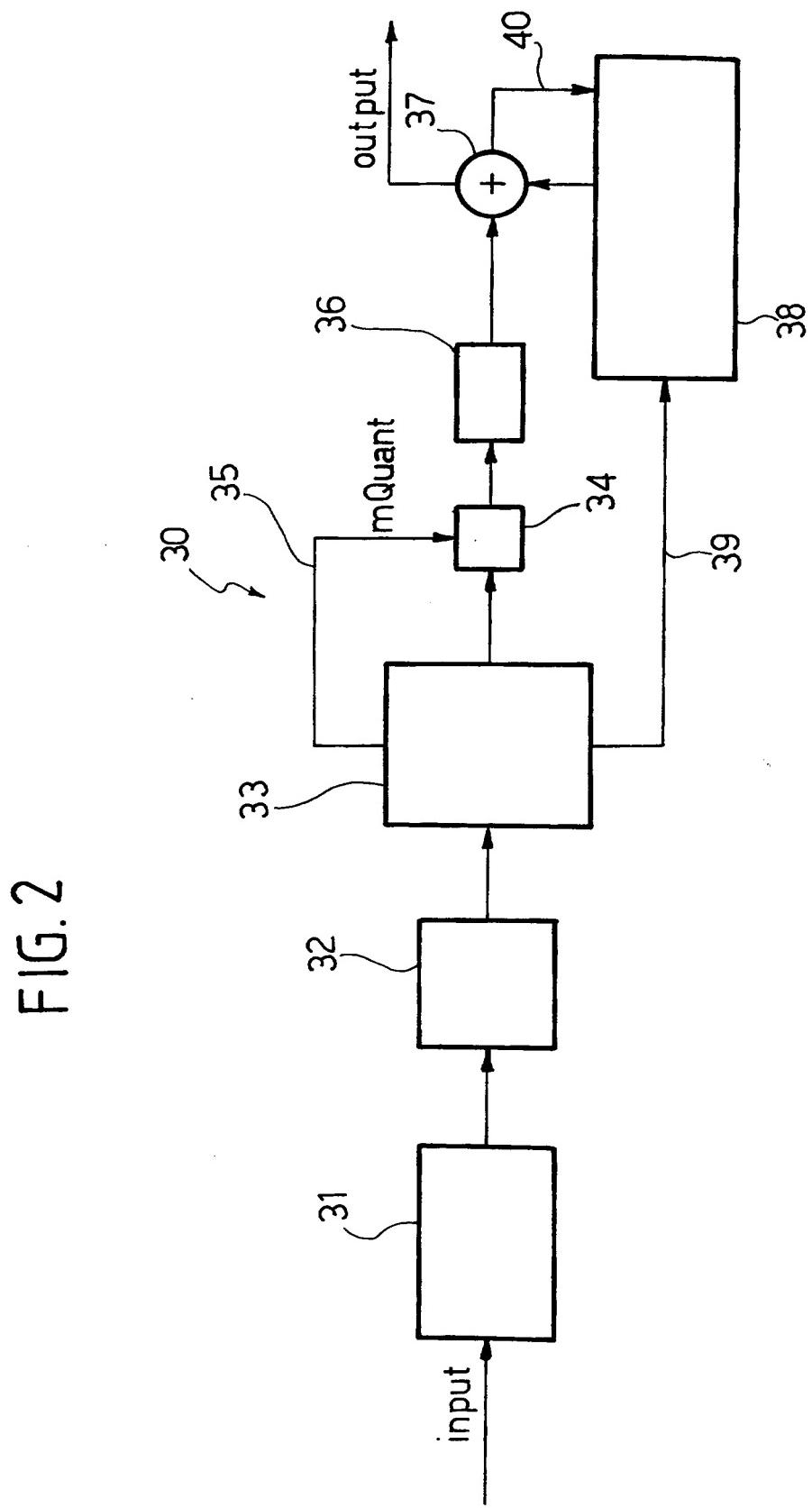
(Figura 4)

1/6

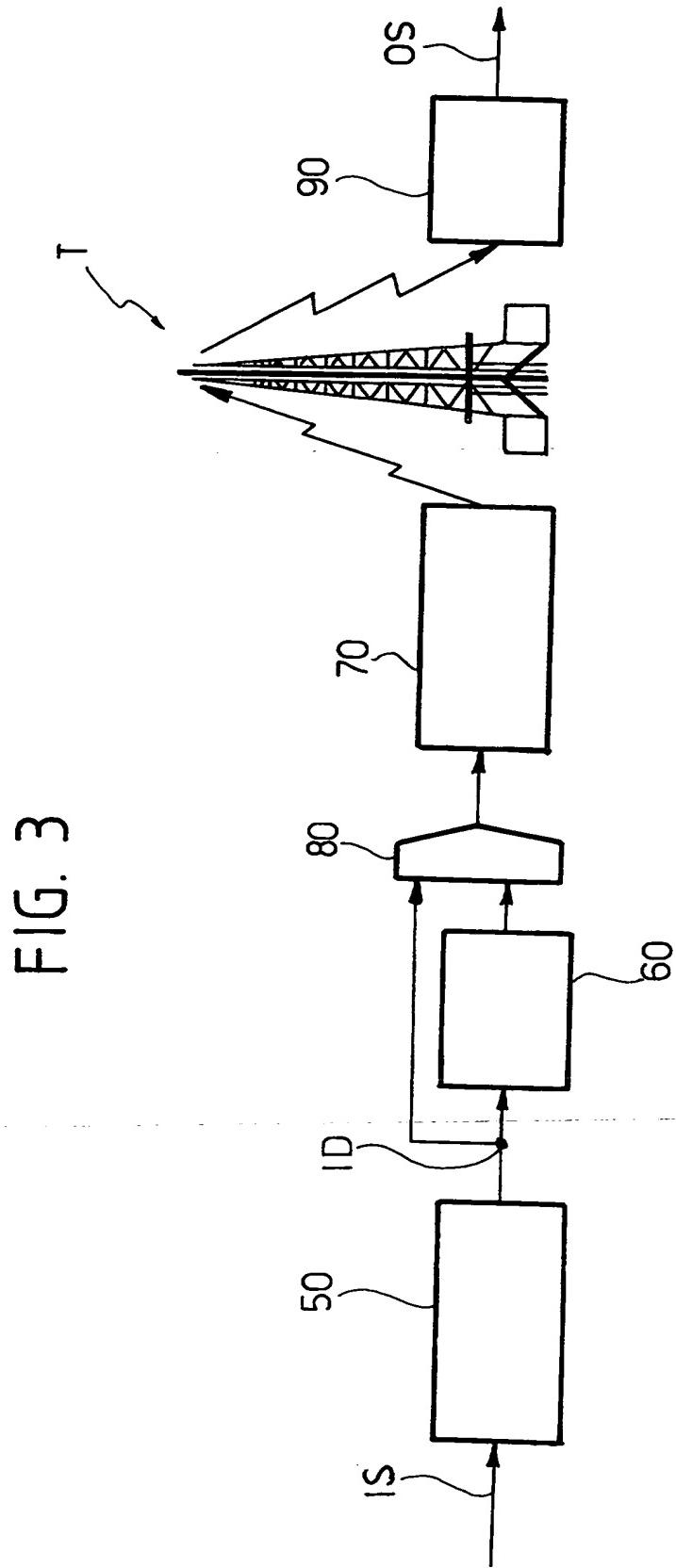
FIG.1



2/6

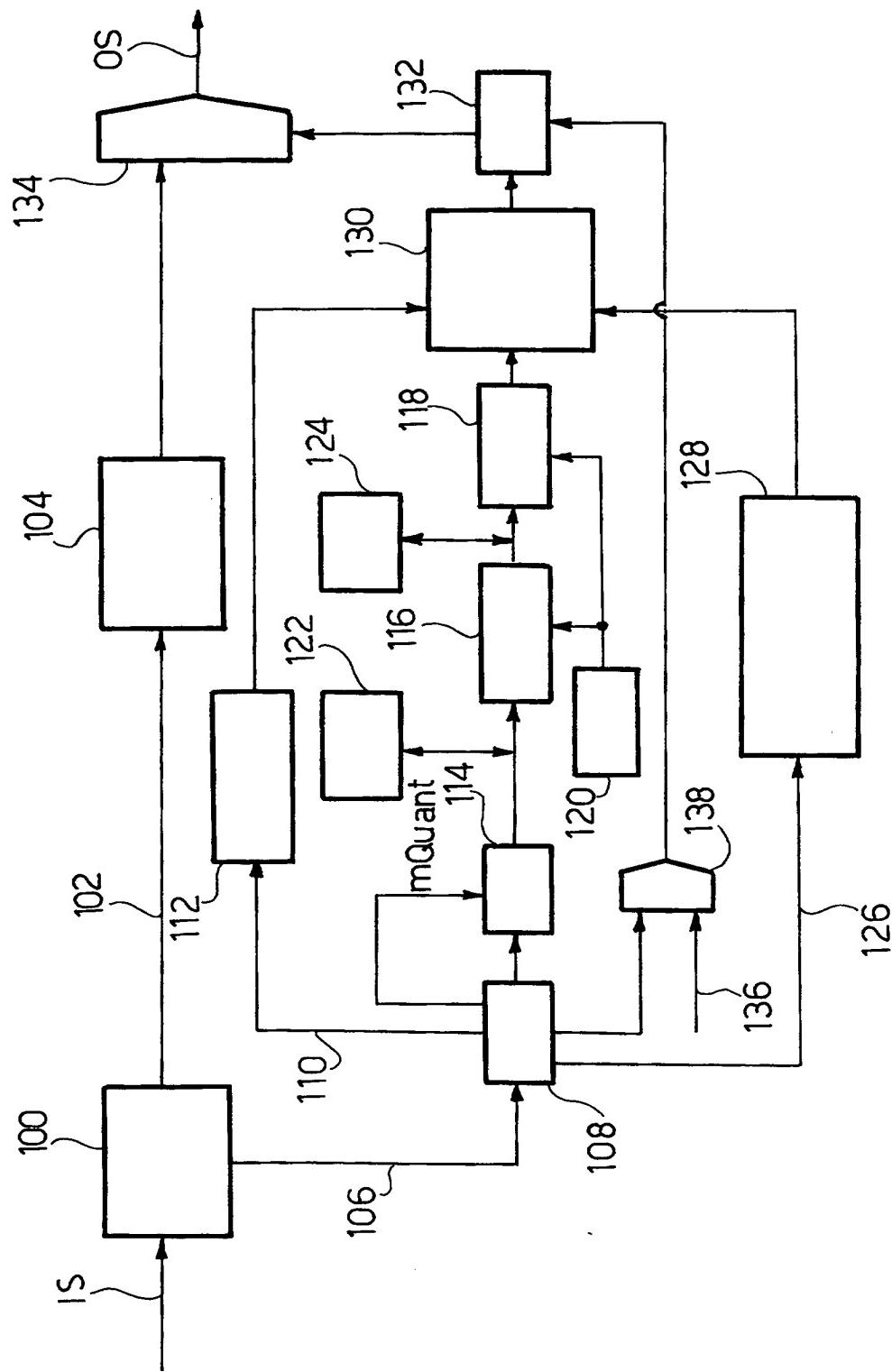


3/6



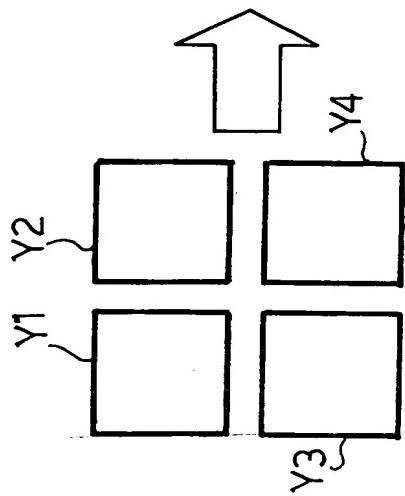
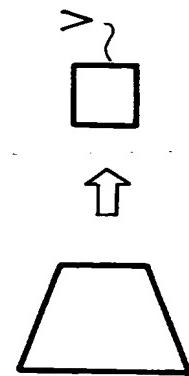
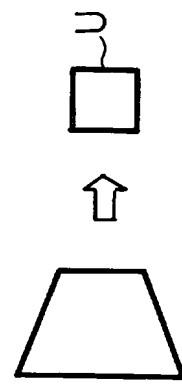
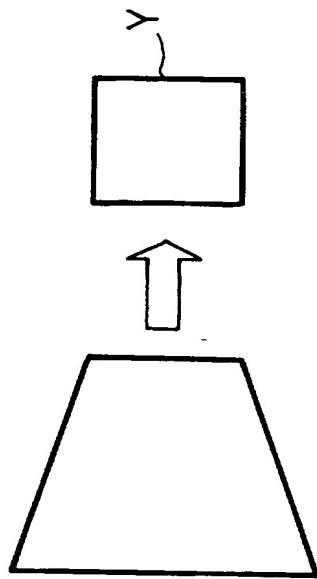
4/6

FIG. 4

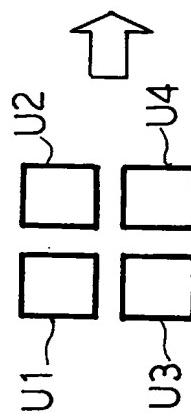


5/6

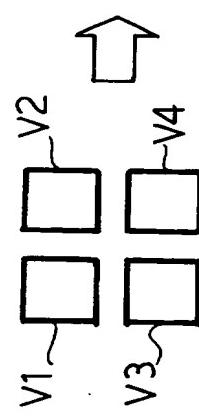
FIG. 5



a)



b)



c)

6/6

FIG. 6

